

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003885

(43)Date of publication of application : 07.01.2000

(51)Int.Cl. H01L 21/283  
H01L 27/04  
H01L 21/822  
H01L 29/78

(21)Application number : 11-107329

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 15.04.1999

(72)Inventor : ALERS GLENN B

(30)Priority

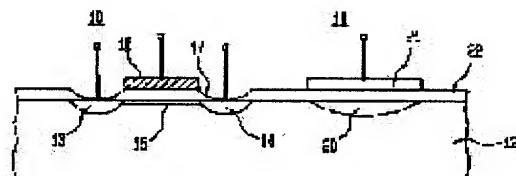
Priority number : 98 60420 Priority date : 15.04.1998 Priority country : US

## (54) MANUFACTURE OF FIELD-EFFECT DEVICE AND CAPACITOR USING IMPROVED THIN FILM DIELECTRIC SUBSTANCE AND DEVICE OBTAINED THEREBY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To decrease the charge trapping density at the boundary surface of dielectric substance/silicon, by evaporating the thin film of high permittivity material on a silicon substrate, and forming the upper electrode after the structure is exposed to a plasma.

**SOLUTION:** The substrate, which is exposed and has a silicon surface, is used. Then, a thin film 17, which has the thickness of the range of 2–10 nm and is the high permittivity material such as tantalum oxide or silicon nitride, is evaporated. The dielectric substance is directly evaporated on a silicon substrate 12 by performing chemical evaporation and the like. Then, the dielectric substance 17, which is evaporated for protecting the boundary surface of the dielectric substance/silicon and for decreasing leaking current, is exposed into plasma. In this case, the oxygen plasma having the air pressure of about 2 Torr and the substrate temperature of 100–400°C protects the boundary surface, provides the stability and decreases the leaking current. Then, the surface of the dielectric substance 17 is nitrided as required, and an upper electrode 16 undergoes evaporation. This steps accompanies the evaporation of the upper electrode of polysilicon.



### LEGAL STATUS

[Date of request for examination] 26.07.2000

[Date of sending the examiner's decision of rejection] 24.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-3885

(P2000-3885A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/283  
27/04  
21/822  
29/78

識別記号

F I  
H 01 L 21/283  
27/04  
29/78

テマコード(参考)

C  
C  
3 0 1 G

審査請求 未請求 請求項の数13 O.L (全 5 頁)

(21)出願番号 特願平11-107329  
(22)出願日 平成11年4月15日(1999.4.15)  
(31)優先権主張番号 09/060420  
(32)優先日 平成10年4月15日(1998.4.15)  
(33)優先権主張国 米国(US)

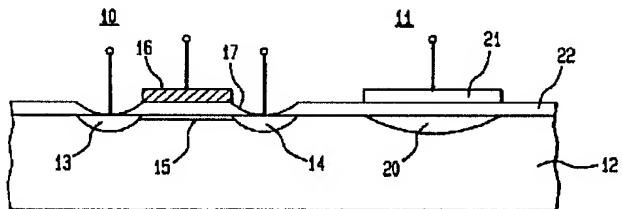
(71)出願人 596092698  
ルーセント テクノロジーズ インコーポ  
レーテッド  
アメリカ合衆国 07974-0636 ニュージ  
ャーシイ, マレイ ヒル, マウンテン ア  
ヴェニュー 600  
(72)発明者 グレン ピー. アラーズ  
アメリカ合衆国 95060 カリフォルニア,  
サンタ クラッズ, レッドウッド ドライ  
ヴ 1771  
(74)代理人 100064447  
弁理士 岡部 正夫 (外11名)

(54)【発明の名称】 改良型薄膜誘電体を使用して電界効果デバイスおよびコンデンサを製造する方法および得られるデバイス

(57)【要約】

【課題】 本発明は、改良型薄膜誘電体を使用して電界効果デバイスおよびコンデンサを製造する方法および得られるデバイスを提供する。

【解決手段】 シリコン基板上に高誘電率材料の薄膜を蒸着し、構造物をプラズマに露出した後、上部電極を形成することによって電子デバイスが形成される。プラズマは誘電体/シリコン境界面の電荷トラップ密度を大きく低減する。誘電体膜は、上部電極を形成する前に窒素を含む材料によって保護されるので、電極と誘電体の相互拡散が防止されるので有利である。



## 【特許請求の範囲】

【請求項1】 誘電体材料の改良型薄膜を有する電子デバイスを製造する方法であって、

露出したシリコン表面を含む基板を提供するステップと、

前記露出したシリコン表面上に誘電体材料の膜を蒸着するステップと、

前記誘電体膜と前記シリコンの間の電荷トラップの密度を低減するために結果として得られた構造物をプラズマに露出するステップと、

前記誘電体膜の上を覆う電極を形成するステップと、

前記電子デバイスを完成するステップとを含む方法。

【請求項2】 請求項1に記載の方法において、前記誘電体材料が5より大きい誘電率を有する方法。

【請求項3】 請求項1に記載の方法において、前記誘電体材料が酸化タンタルを含む方法。

【請求項4】 請求項1に記載の方法において、前記誘電体材料が窒化シリコンを含む方法。

【請求項5】 請求項1に記載の方法において、前記プラズマに露出するステップが酸素プラズマに露出するステップを含む方法。

【請求項6】 請求項1に記載の方法において、前記プラズマに露出するステップが窒素プラズマに露出するステップを含む方法。

【請求項7】 請求項1に記載の方法において、前記プラズマに露出するステップが100～400℃の範囲の基板温度で窒素または酸素のプラズマに露出するステップを含む方法。

【請求項8】 請求項1に記載の方法において、前記誘電体材料を蒸着するステップが2～10nmの範囲の厚さを有する誘電体膜を蒸着するステップを含む方法。

【請求項9】 請求項1に記載の方法において、さらに、前記誘電体の上を覆う前記電極を形成する前に前記誘電体に窒素を含む材料を付着させるステップを含む方法。

【請求項10】 請求項1に記載の方法において、前記電極を形成するステップがポリシリコンを含む電極を形成するステップを含む方法。

【請求項11】 請求項1の処理によって形成される電子デバイス。

【請求項12】 請求項1の処理によって形成されるゲート誘電体を有する電界効果トランジスタ。

【請求項13】 請求項1の処理によって形成される誘電体層を有するコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、改良型薄膜誘電体を使用して電子デバイスを製造する方法およびその結果として得られるデバイスに関する。

## 【0002】

【発明の背景】 電界効果トランジスタ等の電界効果デバイスは、今日の電子工学における重要な構成部分である。それらは、データ処理および電気通信用回路を含む大部分のデジタル回路と多くのアナログ回路の基本構成部分である。実際、電界効果トランジスタは人間が作り出したものの中で最も多数存在するものの1つであると考えられてきた。

【0003】 電界効果デバイスは、通常、ソースとドレインの間に配置された、チャネルと呼ばれる導電率制御可能経路を備えている。ゲート電極が、チャネルの上を覆う誘電体薄膜の上に形成される。例えば、ソースとドレインはシリコンのn形領域であり、チャネルはそれを連結するp形領域である。ゲート電極は、チャネルの上を覆う酸化シリコン誘電体の薄層の上に形成された導電性ドーピング・ポリシリコン層とすることができます。

【0004】 ゲートに電圧が印加されない場合、電流はソースからチャネル、またはチャネルからドレインに流れることができない。しかし、十分な正電圧がゲートに印加されると、電子はチャネル領域に誘導され、ソースとドレインの間に連続したn形導電性経路を形成する。

【0005】 コンデンサはまた集積回路の重要な構成部分である。通常のコンデンサは、誘電体薄膜によって分離された第1および第2の導電性層を備えている。

【0006】 集積回路の動作の信頼性は、回路デバイスで使用されますます薄くなる誘電体層の信頼性に大きく依存している。トランジスタがますます小さくなり稠密に実装されるようになるにつれて、誘電体は薄くなつた。コンデンサとゲートの誘電体は厚さ80オングストローム以下であることが多い。ULSI技術の登場と共に、ゲートの誘電体は50オングストローム以下に近づいている。集積回路を動作させるには、数千個の種々のトランジスタの各々のこうした薄層がデバイスを駆動する十分な静電容量を提供し、不純物の移動からチャネルを保護し、境界面に電荷トラップが発生するのを避けなければならない。こうした厳しい要求はすぐに従来の酸化シリコン層の能力を超えるだろう。2nm未満の酸化シリコン層は法外に大きな漏れ電流を有している。

【0007】 ゲート誘電体を酸化シリコン以外の物質に置き換える努力はこれまで満足すべきものではなかつた。誘電率が比較的低い(≈3.9)ため、酸化シリコンの薄層によって得られる最大静電容量は、約25fF/ $\mu\text{m}^2$ である。これは、静電容量がデバイスを駆動するのに十分でないため、トランジスタを小さいサイズに縮小することを制限する。より誘電率の高い酸化タンタルが試用されたが、誘電体/シリコン境界面の高い電荷トラップ密度のため結果はよくない。SiO<sub>2</sub>/Ta<sub>2</sub>O<sub>5</sub>とSiO<sub>2</sub>/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>の複合層が試用されたが、複合層のため必要な厚さが獲得できる静電容量を制限している。酸化シリコンおよび酸化タンタルの間に窒化シリコンの薄層を蒸着することによって電荷ト

ラップを防止する努力もなされた。しかし、窒化物層は静電容量も低減するので、やはりデバイスの縮小を制限している。1995年11月21日D. Carr他に対して発行された米国特許第5,468,687号と、Y. Momiyama他、「TiNゲートを有する超薄型Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>ゲート絶縁体」、1997年度VLSI技術シンポジウム、技術論文要録、135~136ページを参照されたい。従って、高い誘電率の薄層を有するデバイスを製造する改良された方法が必要である。

#### 【0008】

【発明の概要】本発明によれば、シリコン基板上に高誘電率材料の薄膜を蒸着し、構造物をプラズマに露出した後上部電極を形成することによって電子デバイスが形成される。プラズマは誘電体/シリコン境界面の電荷トラップ密度を大きく低減する。誘電体膜は上部電極を形成する前に窒素を含む材料によって保護されるので、電極と誘電体の相互拡散が防止されるので有利である。本発明の利点、性質および様々な付加的特徴は、以下詳細に説明される例示としての実施形態を検討すれば、より完全に理解することができるであろう。

#### 【0009】

【発明の実施の形態】図面について説明すると、図1は、改良型薄膜誘電体を有する電子デバイスを製造するステップを示す。図1のブロックAに示すように、第1ステップでは露出したシリコン表面を有する基板が提供される。好適には、基板は従来の単結晶シリコン・ウェハである。予備ステップとして、シリコン基板は、周知の「RCA」クリーン等の固有の酸化物や表面汚染物質を除去するために使用される従来の処理によって清掃される。

【0010】ブロックBに示す次のステップでは、2~10nmの範囲の厚さを有する酸化タンタルまたは窒化シリコンといった高誘電率材料の薄層が蒸着される。誘電体は化学蒸着によるなどしてシリコン基板上に直接蒸着される。蒸着中に清掃されたシリコン表面が酸化するのを防止するため、蒸着は500°C以下の温度で行われる。

【0011】第3ステップ(ブロックC)では、誘電体/シリコン境界面を保護し漏れ電流を低減するため蒸着された誘電体がプラズマに露出される。好適には、この露出はリモート・マイクロ波ダウンストリーム・プラズマに対して行われる。酸素および/または窒素のプラズマが満足であると判明した。例えば、気圧2torr、基板温度100~400°C(好適には、300°C)の酸素プラズマが境界面を保護し安定にして、漏れ電流を低減する。境界面は、その後窒素プラズマに同様に露出することによってさらに安定する。また、気圧2トル、基板温度100~400°Cの窒素プラズマを使用して境界面を安定にし、その後酸素プラズマ(同様の条件)によ

つて漏れ電流を低減することもできる。

【0012】ブロックDに示す必要に応じて追加されるステップでは、誘電体表面が窒化される。すなわち上部表面に窒素を含む材料が追加されるので、上部電極を付着させるときゲート/誘電体境界面を保護する。この窒化は、酸化物表面への窒素のイオン注入、NH<sub>4</sub>の熱分解、またはプラズマ強化蒸着または熱分解等による窒化シリコン層の蒸着によって達成される。

【0013】第5ステップ(ブロックE)では上部電極が蒸着される。このステップは、通常ポリシリコン、またはTiN、Ta<sub>N</sub>、WまたはWNといった金属の上部電極の蒸着を伴う。蒸着は、好適には、800°C以下の温度でのCVDまたはPVDによって行われる。

【0014】ブロックFに示す最終ステップでは従来の方法でデバイスが完成する。例えば、ポリシリコン層がパターン成形され、広く使用される自己整合性シリコン・ゲート・プロセスに従って電界効果トランジスタのゲート、ソースおよびドレインが形成される。このプロセスは、例えば、引用によって本明細書の記載に援用する、S. J. Hillenius他、「対称サブミクロンCMOS技術」、IEDM技術要録、252(1986年)で説明されている。また、ポリシリコンを誘電体の上に付着させ、ポリシリコンをパターン成形してコンデンサの上部電極を形成することによってコンデンサが完成する。

【0015】図2は、各々本発明による改良型誘電体層を有する電界効果デバイス10とコンデンサ11を示す電子デバイスの一例の略断面図である。本発明にとって必須ではないが、この特定の場合、電界効果デバイスおよびコンデンサはどちらも結晶シリコン・ウェハ等の共通の基板12の上に形成される。

【0016】電界効果デバイス10(ここではトランジスタ)は、本質的にソース13、ドレイン14およびチャネル15を備え、それらの各々が、基板12に支持されるシリコンのドーピング領域を備えることがある。ゲート電極16はチャネル15の上を覆い、誘電体薄膜17によってチャネルと分離されている。図示されるように、誘電体膜は、ゲート電極16(ゲート/誘電体の境界面)とチャネル15(誘電体/Siの境界面)一組の40主要な境界面を有する。誘電体膜は通常約80オングストローム未満の厚さを有する。

【0017】ゲート電極16は、通常導電性を示すようにドーピングされた多結晶シリコンの薄層である。

【0018】電界効果デバイスがON状態にあるとき、電流がチャネルを通じてソースとドレインの間を流れれる。

【0019】本発明によれば、誘電体膜17は、酸化タンタルまたは窒化シリコンといった高誘電率(定数)(誘電率(定数)>5)の薄層を備え、その誘電体/Si境界面はプラズマで保護されている。ゲート/誘電体

境界面は空化によって保護されているので有利である。【0020】コンデンサ11は、誘電体薄膜22によって分離された一組の導電性層20および21を備えている。層20は、導電性ドーピングされた結晶シリコン膜でよく、層21は導電性ドーピングされた多結晶シリコン膜でよい。誘電体膜22は、膜17と同じ種類の誘電体膜でよい。実際には、誘電体17と22は同じ層から製造することができる。

【0021】図3は、シリコンに蒸着された100オングストロームの酸化タンタル膜の静電容量に対するプラズマ処理の効果を示すグラフである。曲線1は、未処理膜の様々な温度での静電容量を示す。電圧が1ボルトを超えると著しく低下することに留意されたい。曲線2は、300℃のO<sub>2</sub> プラズマで1分間処理した場合の効果を示し、曲線3は、N<sub>2</sub> プラズマで同様の処理を行い、その後O<sub>2</sub> プラズマで処理を行った場合を示す。4ボルトでは、処理済膜の静電容量は、未処理膜の60%以上大きい。

【0022】図4は、境界面状態密度に対するプラズマ処理の効果を示すグラフである。N<sub>2</sub> プラズマ、O<sub>2</sub> プラズマ

ズマまたはN<sub>2</sub>/O<sub>2</sub> プラズマのすべてで、それらに露出することによって、通常の印加電圧に対して境界面状態密度の変化が非常に小さいデバイスが得られた。

【0023】上記で説明した実施形態は、本発明の原理の適用業務を示す多くの可能な特定実施形態の中の小数のものを例示したものに過ぎないことを理解されたい。当業技術分野に熟練した者によって、非常に多くの多様な他の装置が、本発明の原理により、本発明の精神と範囲から逸脱することなく容易に考案できるであろう。

#### 10 【図面の簡単な説明】

【図1】改良型誘電体層を有する電子デバイスを製造する好適な方法のステップを示す流れ図である。

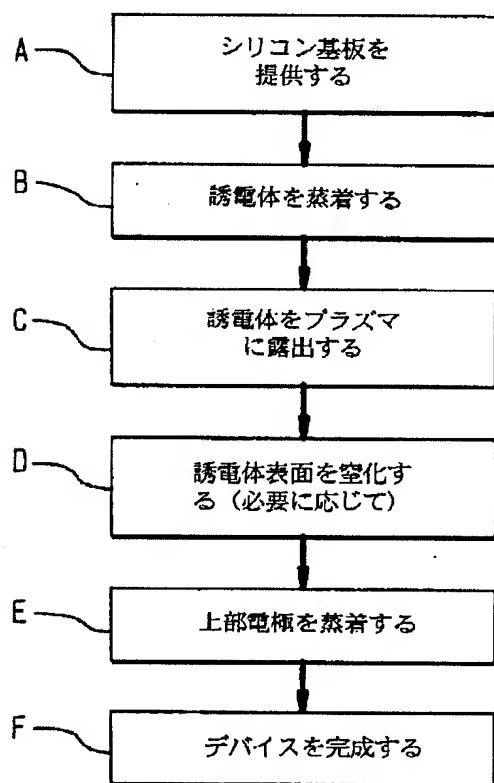
【図2】改良型誘電体層を有する電界効果デバイスおよびコンデンサを示す略断面図である。

【図3】3つの異なったデバイスについて電圧の関数としての静電容量を示すグラフの図である。

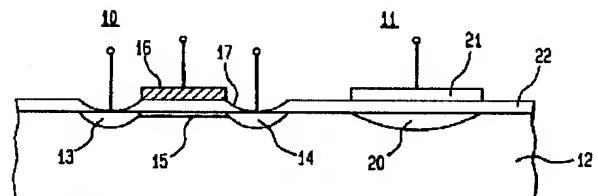
【図4】4つの異なったデバイスについてストレス電圧の関数としての境界面状態密度の変化を示すグラフの図である。

20

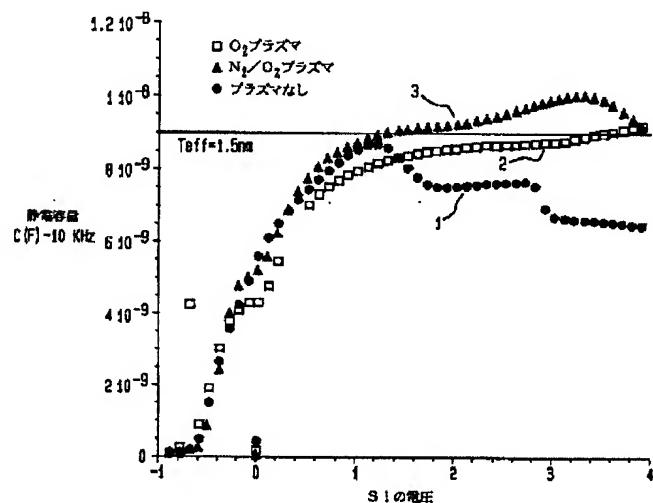
【図1】



【図2】



【図3】



【図4】

